

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 61-029140
(43) Date of publication of application : 10. 02. 1986

(51) Int. CI. H01L 21/60
H01L 23/48

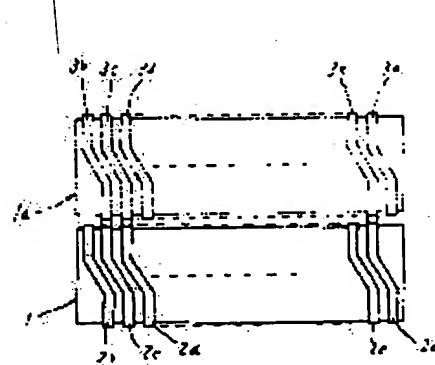
(21) Application number : 59-149497 (71) Applicant : HITACHI LTD
(22) Date of filing : 20. 07. 1984 (72) Inventor : SAITO KAZUO

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To apply plural times of performance to substrates of approximately the same size by forming the end terminal of an external terminal in a vacant terminal, and forming the chip operating terminal of other external terminal adjacent to other vacant terminal at the opposite side of the end vacant terminal.

CONSTITUTION: A chip select terminal 2b is formed adjacent to other vacant terminal 2c in opposite direction to an end vacant terminal 2a. When a current is flowed to the terminal 2b by controlling a current to the terminals 2b, 2c, only a semiconductor device 1 of lower end can be operated, and when a current is flowed to the vacant terminal 2c of the device 1, a current is flowed to a chip select terminal 3b of the device 1a of upper stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

④日本国特許庁 (JP) ①特許出願公開

②公開特許公報 (A) 昭61-29140

③Int.Cl.1

H 01 L 21/60
22/40

識別記号

序内整理番号

6732-5F
6732-5F

④公開 昭和61年(1986)2月10日

審査請求 未請求 発明の数 1 (全4首)

⑤発明の名称 半導体装置

⑥特 願 昭59-149497

⑦出 憲 昭59(1984)7月20日

⑧発明者 高藤 一男 小平市上水本町1450番地 株式会社日立製作所武藏工場内
⑨出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑩代理人 弁理士 高橋 明夫 外1名

明細書

発明の名稱 半導体装置

特許請求の範囲

1. パッケージの裏面に実装可能な範囲からなる
第1電極が配列形成され、該第1電極上方のパッ
ケージ上面には、丁度1ピッチずれて前記第1電
極と同数の第2電極が形成され、両電極の第1および第2電極どうしが電気的に接続されて形成さ
れてなる外部端子を有する半導体装置であって、
該外部端子の一末端端子が、搭載されているペレ
ットと電気的に接続されていない空端子であり、
他の外部端子のうち1または2以上のそれぞれが、
前記末端空端子と反対方向の1または接続形成さ
れている2以上の他の空端子に接続して形成され
ているチップ作動端子である半導体装置。

2. 半導体装置がステッキランダムアクセス
メモリであることを特徴とする特許請求の範囲第
1項記載の半導体装置。

3. チップ作動端子がチップセレクト端子である
ことを特徴とする特許請求の範囲第1項または第

2項記載の半導体装置。

4. 半導体装置がタイナミックランダムアクセス
メモリであることを特徴とする特許請求の範囲第
1項記載の半導体装置。

5. チップ作動端子がカウアドレッセレクト端子
またはカラムアドレッセレクト端子であることを
特徴とする特許請求の範囲第1項または第2項記
載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は電子機器の性能向上に適用して有効な
技術に関するものである。

〔背景技術〕

電子機器の小型化に伴い、種々の高密度実装に
適した半導体装置が考案されている。その一つに、
いわゆるリードレスチップキャリア型半導体装置
(以下、LCC型半導体装置と記す。)がある。
このLCC型半導体装置はパッケージの外方に延
在された外部端子を備えていないため、2以上の
LCC型半導体装置のパッケージを近接して実装

することができるので、電子機器の小型化に効能なものである。

しかし、前記しるじ型半導体装置は平面的実装方法であるため、パッケージ寸法より密度を上げることは不可能である。したがって、たとえば前記しるじ型半導体装置が電子計算機のメモリー LSI (大規模集積回路) である場合は、該電子計算機の記憶容量を 2 倍または 3 倍以上にするためには、少なくとも 2 倍または 3 倍以上の面積の実装基板が必要になり、それだけ装置全体を大型にしなければ記憶容量を複数倍に高めた電子計算機を形成することができないという問題がある。

なお、しるじ型半導体装置については、たとえば昭和 58 年 1 月 28 日発行の「超 LSI デバイスハンドブック」第 2-6 ページ以下に説明されている。

(発明の目的)

本発明の目的は、電子機器の小型化に適用して有効な技術を提供することにある。

本発明の目的は、装置の大きさをほとんど変え

体装置を、そのパッケージ裏面の実装用電極を電気的に接続された状態で取り付けて 2 以上の半導体装置を重複使用する場合であっても、各半導体装置を独立して作動させることができることにより、平面的に実装する場合に比べ、ほぼ同一寸法の実装基板に複数倍の性能を付与することができるため、前記目的を達成されるものである。

(実施例 1)

第 1 図は本発明による実施例 1 である半導体装置の構造をその実装基板とともに側面図で示すものである。

本実施例の半導体装置 1 は、スクティックランダムアタモスメトリ (以下、SRAF と記す。) であり、そのパッケージがセラミックからなる、いわゆるしるじ型半導体装置である。

前記半導体装置は、パッケージ裏面に面付実装可能な電極を有し、パッケージ上面には裏面電極と同数の面付実装された電極が、丁度 1 ピッチ左へすらして形成されており、かつ裏面の上面と裏面に形成されている電極どうしを、パッケー

特開昭 61- 20148 (2)

ることなく、電子計算機の記憶容量を容易に数倍にすることができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(発明の概要)

本願において請求される発明のうち代表的なものと要旨を簡単に説明すれば、次の通りである。

すなわち、パッケージの裏面に複数の実装用電極が配列形成され、該電極と電気的に接続されている電極が該パッケージ上面に、丁度裏面に形成されている前記電極と 1 ピッチずらして形成してなる外部端子を備えてなる半導体装置について、該外部端子の末端端子を搭載されているペレットと電気的に接続されてない空端子とし、他の外部端子のうち 1 または 2 以上のチップ作動端子のそれぞれを、1 または複数形成されている 2 枚以上の他の空端子に前記末端端子の反対側で接続して形成することにより、1 の半導体装置のパッケージ上面の電極に、他の同一機能を備えた半導

シ側面のメカニズムで電気的に接続して形成する外部端子を備えてなるものである。また、前記外部端子のうち、右端の外部端子は搭載されているペレット電気的に接続されていない空端子 2 c である。左端の外部端子はチャップセレクト (CHIP SELECT) 端子 (以下、CS 端子と記す。) 2 b で、該 CS 端子 2 b の右隣の外部端子は空端子 2 c である。すなわち、前記 CS 端子 2 b は末端空端子 2 c と反対方向の他の空端子 2 c に接続して形成されているものである。

実施例の半導体装置は、第 1 図に仮想線で示す如く、同一の半導体装置 1 をその裏面電極で下段半導体装置 1 の上面電極に半田等の接合料を介して電気的に導通するように取り付けることにより、半導体装置 1 が独立して作動させることができる。

すなわち、CS 端子 2 b および空端子 2 c への電波を制御して CS 端子 2 b の方に電波を接する場合は、下段の半導体装置 1 をみを作動させることができる。該半導体装置 1 の空端子 2 c の方に電波

特許昭61-29140(3)

）であり、前記実施例1とはほぼ同様のしC-C型半導体装置である。

本実施例2の半導体装置においては、2つのチップ作動端子を有し、この2つの端子が接続して該半導体装置を作動させることができるものである。すなわち、左端の外部端子21はロウアードレスセレクト(ROW ADDRESS SELECT)端子(以下、RAS端子と記す。)であり、該RAS端子21の右側に接続して空端子28が形成され、さらび右方向の外部端子21はカラムアドレスセレクト(COLUMN ADDRESS SELECT)端子(以下、CAS端子と記す。)であり、該CAS端子21の右側には接続して空端子29が形成されている。したがって、本実施例2においても、チップ作動端子であるRAS端子21およびCAS端子21のそれぞれが、末端端子28と反対方向で他の空端子28および29に接続して形成されている構造にある。

本実施例の半導体装置も、第2回に示すように2面重ねて取り付けても、それぞれ独立して作

を接する場合は、上段の半導体装置1のRAS端子36に電流を流すことになるため、上段の半導体装置1のみを作動させることができることになる。

なお、上段の半導体装置1を作動させる場合の外部端子31の端子は、下段の空端子28を介して行われる。

以上説明した如く、2つの空端子28および29を形成することにより、独立して作動させることが可能な半導体装置を容易に重ねて実現できるものである。

したがって、半導体装置が本実施例1のようなS-RAMである場合、装置の大きさをほぼ同一のままで記憶容量が2倍の電子計算機を容易に提供することが可能となる。

(実施例2)

第2回日本発明による実施例2である半導体装置の概略をその使用範囲とともに概要図で示すものである。

本実施例2の半導体装置1は、ダイナミックランゲムアクセスマトリ(以下、DRAMと記す。)

を接させることができるものである。すなわち、RAS端子21およびCAS端子21に電流を接続することにより下段の半導体装置1のみを作動させることができ、空端子28および29に電流を接続することにより、結果として上段の半導体装置1のRAS端子31およびCAS端子31に接続することになるため、上段のみを作動させることができとなる。その他は実施例1とはほぼ同様であり、本実施例の場合は記憶容量を容易に倍増することができるものである。

(結果)

即ち、パッケージの裏面に複数の実務用端子が配列形成され、該電極と電気的に接続されている電極が該パッケージ上面に、裏面に形成されている前記電極と1度1ピッチずらして形成してなる外部端子を備えてなる半導体装置であって、該外部端子の末端の端子を搭載されているペレットと電気的に接続されていない空端子とし、他の外部端子のうち1または2以上のチップ作動端子のそれぞれを、1または2以上は接続形成されている2以上の他の

空端子に前記末端空端子の反対方向で接続させて形成することにより、1の半導体装置のパッケージ上面の電極に他の同一機能を備えた半導体装置を、そのパッケージ裏面の電極に電気的に接続された状態で取り付けて2以上の半導体装置を組合使用する場合であっても、各半導体装置を独立して作動させることができるので、装置寸法をほぼ同一のまま容易に複数倍の性能を有する電子機器を構成することができる。

四、前記(1)と同一の効果により、電子機器の大容量化が可能となる。

即ち、チップ作動端子がチップセレクト端子である場合、前記例により、装置の大きさをはんど変えることなく2または3倍以上のS-RAMを実装することができるるので、電子計算機の記憶容量を、容易に2または3倍以上にすることが可能である。

四、チップ作動端子がロウアードレスセレクト端子およびカラムアドレスセレクト端子である場合、前記例と同様に装置の大きさを変えることなく、2または3倍以上のDRAMを備えた電子計算機

特開昭61-29140(4)

を提供することができる。

以上本発明者によってなされた発明を実施例に並びに具体例に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々実用可能であることはいうまでもない。

たとえば、半導体装置としてはSRAMおよびDRAMであるメモリーLSIについて説明したが、これに限るものではなく、1または2以上のチップ作動端子を有し、同様の使用が可能であるものであれば如何なるものにも適用できるものである。

また、片端子もパッケージ側面に形成されたメタライズからなるものに限るものではなく、同一端子を元祖するものであれば、その形状構造および形状等は問わないものである。

さらに、チップセレクタ端子や1つを末端空端子と反対側の末端に形成したものについて示したが、その位置は問わないものであることはいうまでもない。

なお、前記実施例は2段に亘めて使用するものについて説明したが、これに限らず、チップ作動端子に接続する空端子を2または3以上で形成することにより、3段または4段以上に重ねて使用することも当然にできるものである。

また、下段半導体装置の上面電極に上段の凹面電極を重ね付ける方法としては、半円等の振合材を用いる例を示したが、これに限るものでなく接合部材を介して取り付けてよいことはいうまでもない。

(利用分野)

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野であるセミコンダクタからなるLCC型半導体装置に適用した場合について説明したが、それと限定されたものではなく、たとえば、同様の使用が可能である種々のパッケージからなる半導体装置であって、セミコンダクタ以外の材料からなるものであっても当然に適用することができる技術である。

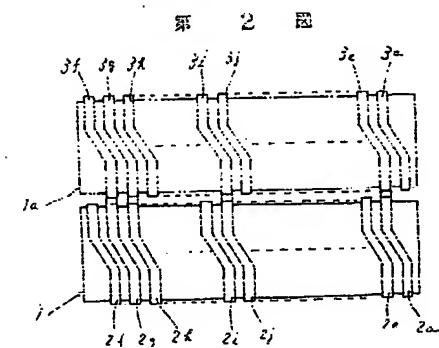
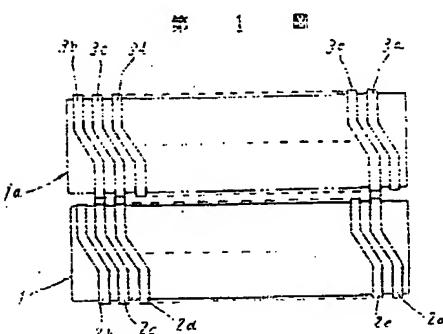
図面の簡単な説明

第1図は本発明による実施例1の半導体装置をその使用の態様とともに示す側面図。

第2図は本発明による実施例2の半導体装置をその使用の態様とともに示す側面図である。

1, 1a, ..., 半導体装置、2a, 2b, ..., 未端空端子、2c, 3c, 2g, 3g, 21, 31, ..., 空端子、2b, 3b, ..., チップセレクタ端子、21, 31, ..., RAS端子、21, 31, ..., CAS端子。

代理人弁理士 高橋明夫



THIS PAGE BLANK (USPTO)